

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-152329

(43)公開日 平成6年(1994)5月31日

(51)IntCl.<sup>5</sup>

H03H 17/02

17/04

識別記号

庁内整理番号

P 7037-5J

A 7037-5J

FI

技術表示箇所

審査請求 未請求 請求項の数6(全11頁)

(21)出願番号 特願平4-316520

(22)出願日 平成4年(1992)10月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 杉原 通

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

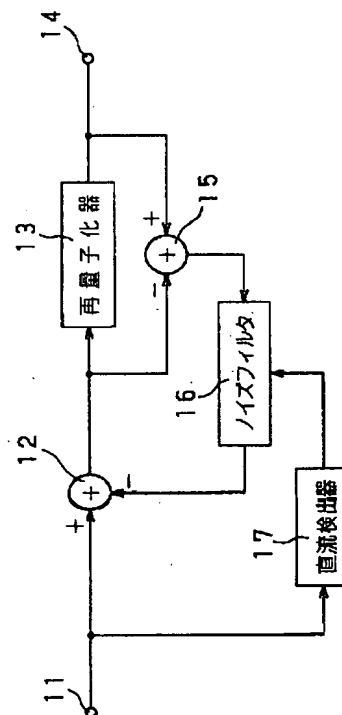
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ノイズシェイピング回路

(57)【要約】

【構成】 再量子化器13で発生した量子化ノイズを減算器15で取り出し、ノイズフィルタ16を介して再量子化器13の入力側に帰還する。入力端子11からの入力信号が直流値(0を含む)か否かを直流検出器17で検出し、直流が検出されたときには、上記帰還される値を0にして、リミットサイクルによる発振を防止する。

【効果】 ハンチング現象の発生を防止することができる。



## 【特許請求の範囲】

【請求項1】 量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還する構成を有するノイズシェイピング回路において、入力信号が0を含む直流値となることを検出する直流検出手段を設け、この直流検出手段により直流入力が検出されたときに、上記量子化器に帰還される値を0とすることを特徴とするノイズシェイピング回路。

【請求項2】 上記直流検出手段により直流入力が検出されたときに、上記ノイズフィルタの係数を全て0とすることを特徴とする請求項1記載のノイズシェイピング回路。

【請求項3】 上記直流検出手段は、上記入力信号の連続する所定数のサンプルが一定の値となることを検出することを特徴とする請求項1又は2記載のノイズシェイピング回路。

【請求項4】 量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還する構成を有するノイズシェイピング回路において、入力信号のビット数が上記量子化器の出力信号のビット数以下であることを検出するビット数検出手段を設け、このビット数検出手段により量子化出力ビット数以下であることが検出されたときに、上記量子化器に帰還される値を0とすることを特徴とするノイズシェイピング回路。

【請求項5】 上記ビット数検出手段により入力ビット数が量子化出力ビット数以下であることが検出されたときに、上記ノイズフィルタの係数を全て0とすることを特徴とする請求項4記載のノイズシェイピング回路。

【請求項6】 量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還する構成を有するノイズシェイピング回路において、連続する所定数の入力サンプルの下位側ビットが同一であることを検出する検出手段を設け、この下位側ビットが同一であることが検出されたときに、上記帰還される値を0とすることを特徴とするノイズシェイピング回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還するようなノイズシェイピング回路に関する。

## 【0002】

【従来の技術】一般にノイズシェイピング回路は、量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還することにより、量子化ノイズの周波数特性を変化させるものである。これは、帰還部を有するデジタルフィルタの一種と見ることができる。

【0003】このようなノイズシェイピング回路は、例

えば特願平2-185555号の明細書及び図面に開示されているように、いわゆるCD（コンパクトディスク）やDAT（デジタルオーディオテープレコーダ）のように予めサンプルデータのビット数が16ビットと規定されているフォーマットを変更することなく、例えば20ビットとか24ビット等で録音されたソースの音質に近付けるための音質改善に利用されることがある。

【0004】これは、人間の耳の聴覚特性、特に等ラウドネス曲線特性を考慮して、20ビットとか24ビット等で録音されたソースの信号を16ビットに変換する際に、量子化ノイズの周波数特性を上記等ラウドネス曲線に近付けるように変形（ノイズシェイピング）することで、高調波歪成分を低減し、入出力の直線性（リニアリティ）を高め、ひずみ感が少なく、奥行き感、拡がり感があり、豊かでナチュラルな音楽を再生するものである。

## 【0005】

【発明が解決しようとする課題】ところで、上述したような帰還部を有するデジタルフィルタにおいて、入力値が0や一定の値（直流値）になっても、いわゆるリミットサイクルによる発振現象を起こすことがある。すなわち、入力信号が直流値になっても、フィルタ内部に残っているデータが帰還し続け、発振データを出力するハンチング現象が発生することがある。このハンチング現象の発生時には、出力値を後で置き換えるような処理を施したり、ハンチング現象を検出した時点で出力を絞る等の処理を施すことが考えられる。このような処理を施す場合には、後で付加的な作業を必要とすることになり、また入力された直流値に対して出力が0にしかならなくなってしまう欠点がある。

【0006】また、量子化により発生する量子化ノイズをノイズフィルタを介して当該量子化器の入力側に帰還するようにしたノイズシェイピング回路においては、入力データが出力データと同じかあるいはそれ以下のビット数しかない場合にも、同様にハンチング現象による発振データが入力データに付加されてしまう可能性があった。

【0007】本発明は、このような実情に鑑みてなされたものであり、入力信号が0を含む直流値となったり、入力信号のビット数が出力信号のビット数と同じかそれ以下となったりすることで、リミットサイクルによるいわゆるハンチング現象が発生する可能性があるとき、ハンチング現象を防止でき、構成も簡単で済むようなノイズシェイピング回路の提供を目的とする。

## 【0008】

【課題を解決するための手段】本発明に係るノイズシェイピング回路によれば、量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還する構成を有するノイズシェイピング回路において、入力信号が0を含む直流値となることを検出する直流検出

手段を設け、この直流検出手段により直流入力が検出されたときに、上記量子化器に帰還される値を0とすることを特徴としている。

【0009】ここで、上記直流検出手段により直流入力が検出されたときには、上記ノイズフィルタの係数を全て0とすればよい。また、上記直流検出手段は、上記入力信号の連続する所定数のサンプルが一定の値となることを検出するように構成すればよい。

【0010】次に、入力信号のビット数が上記量子化器の出力信号のビット数以下であることを検出するビット数検出手段を設け、このビット数検出手段により量子化出力ビット数以下であることが検出されたときに、上記量子化器に帰還される値を0とするように構成してもよい。

【0011】この場合も、上記ビット数検出手段により入力ビット数が量子化出力ビット数以下であることが検出されたときに、上記ノイズフィルタの係数を全て0とすることが挙げられる。

【0012】さらに、本発明に係るノイズシェイピング回路として、量子化器で発生する量子化ノイズをノイズフィルタを介して該量子化器の入力側に帰還する構成を有するノイズシェイピング回路において、連続する所定数の入力サンプルの下位側ビットが同一であることを検出する検出手段を設け、この下位側ビットが同一であることが検出されたときに、上記帰還される値を0とすることも考えられる。

【0013】

【作用】入力信号が直流値（0を含む）となったり入力信号のビット数が出力信号のビット数と同じかそれ以下となつて、ハンチング現象が発生する可能性があるときには、これを検出して、上記量子化器に帰還する値を0とすることで、ハンチング現象の発生を防止できる。

【0014】

【実施例】図1は、本発明に係るノイズシェイピング回路の一実施例の概略構成を示すブロック回路図である。この図1において、入力端子11に供給された例えばnビット（nは整数）の入力デジタル信号は、加算器（減算器）12を介して再量子化器13に送られている。再量子化器13においては、nビットから例えばmビット（mは整数、 $n > m$ ）への再量子化が行われ、mビットのデジタル信号を出力端子14より取り出す。減算器15ではこの再量子化器13の出力値と入力値との差（量子化誤差、量子化ノイズ）をとり、ノイズフィルタ16に送っている。このノイズフィルタ16からの出力を上記加算器（減算器）12に送って、入力信号に帰還している。減算器15で再量子化器13の出力値から入力値を減算する場合には、ノイズフィルタ16の出力を入力信号から減算している。

【0015】ところで、入力信号が直流値（0の場合も含む）となると、出力値は入力値と同じ直流値になるこ

とが必要となる。しかしながら、リミットサイクルにより、ノイズフィルタ16の内部状態によっては、微少な成分が残ってしまい、それが帰還し続け、入力が0であるにもかかわらず発振状態に陥り、発振音が出力される、といういわゆるハンチング現象が生ずることがある。これを回避するために、ハンチング現象が発生する可能性のある入力データ、すなわち0を含む直流値のときには、上記ノイズフィルタ16から量子化器入力側の加算器（減算器）12への帰還量が0となるようにしている。

【0016】すなわち、この図1に示す実施例においては、入力端子11からの入力信号を直流検出器17に送り、入力信号が0を含む直流値であるか否かを検出している。そして、入力信号が0を含む直流値のときには、直流検出器17からの制御信号により、上記ノイズフィルタ16の係数値を全て0に切り換えるように制御し、これによってノイズフィルタ16から加算器（減算器）12への帰還量を0にしている。この再量子化器13へのノイズ帰還量が0となると、入力端子11からのnビットの入力信号は、mビットへの足切りのみが行われて出力端子14より取り出されることになる。これによって、上記ハンチング現象を防止することができる。

【0017】ここで、図2は、ノイズフィルタ16の内部構成の一具体例を示すブロック回路図である。この図2において、入力端子21には上記減算器15からの量子化誤差（量子化ノイズ）が供給され、この入力信号は直列接続された複数段（例えばk段）の遅延素子から成る遅延素子群22に送られる。この遅延素子群22の各遅延素子からの遅延出力は、複数（例えばk個）の切換スイッチから成る切換スイッチ群23の各切換スイッチの各共通端子に送られる。切換スイッチ群23の各切換スイッチの各被選択端子aからの出力は、係数乗算器群24の例えばk個の各係数乗算器にそれぞれ送られ、係数 $a_1$ 、 $\dots$ 、 $a_{k-1}$ 、 $a_k$ とそれぞれ乗算されて加算器26に送られる。また、切換スイッチ群23の各切換スイッチの各被選択端子bからの出力は、係数乗算器群25の例えばk個の各係数乗算器にそれぞれ送られ、いずれも係数0と乗算されて、加算器26に送られる。加算器26からの出力は、出力端子27を介して取り出され、上記再量子化器13の入力側の加算器（減算器）12に送られる。切換スイッチ群23の各切換スイッチは、切換制御信号入力端子28からの上記直流検出器17により直流検出されて得られた信号により切換制御される。

【0018】従って、上記直流検出器17において上記0を含む直流値が検出されていないときには、図2のノイズフィルタ16の切換スイッチ群23の各切換スイッチがそれぞれ被選択端子a側に切換接続され、係数乗算器群24の各係数乗算器の各フィルタ係数 $a_1$ 、 $\dots$ 、 $a_{k-1}$ 、 $a_k$ による通常のノイズシェイピングのた

めの帰還信号が出力端子27より取り出される。また、上記直流検出器17において上記0を含む直流値が検出されたときには、切換スイッチ群23の各切換スイッチ23がそれぞれ被選択端子b側に切換接続され、係数乗算器群25の各係数値である0が乗算されることにより、出力端子27からの出力も0となり、上記再量子化器13の入力側への帰還量が0となる。

【0019】以上の図1に示すノイズシェイピング回路や図2に示すノイズフィルタについては、ハードウェアにより構成することもできるが、いわゆるDSP（ディジタル信号プロセッサ）を用いてソフトウェア的に構成することも好ましい。すなわち、図3は、上記図1のノイズシェイピング回路の構成を、DSPを用いてソフトウェアにより実現する場合の要部動作の具体例を示すフローチャートである。

【0020】この図3において、最初のステップS1にて初期化を行った後、次のステップS2で上記入力端子11からの入力信号データを読み込む。この入力データについて、ステップS3で直流（0を含む）検出処理を行い、次のステップS3で直流が検出されたか否かの判別を行う。具体的には、入力データの複数サンプルを監視し、ある一定サンプル数以上連続して同じ値のサンプルが入力されたときには直流が検出されたものと見なし、直流検出フラグを立て、このフラグが立っているか否かを判別する。ステップS4でNO（直流検出されない）と判別されたときには、ステップS5に進んで、通常時のフィルタ係数（上記図2の係数乗算器群24の各フィルタ係数 $a_1$ 、 $\dots$ 、 $a_{k-1}$ 、 $a_k$ ）を用いてノイズフィルタの計算を行い、ステップS5でYES（直流検出された）と判別されたときには、ステップS6に進んで、0係数（上記図2の係数乗算器群25の係数0）を用いてノイズフィルタの計算を行う。

【0021】次のステップS7では、上記ステップS5あるいはS6で求められたノイズフィルタ出力を量子化入力側に帰還しており、これは上記図1の加算器（減算器）12で入力データとの和あるいは差をとることに対応している。次のステップS8では上記nビットからmビットへの足切りをすることで再量子化を行い、次のステップS9でこの再量子化データを出力する。また次のステップS10では、上記再量子化出力値と再量子化入力値との間の差を取ることで量子化誤差（量子化ノイズ）を取り出し、上記ノイズフィルタ計算の際の入力値とする。以上の処理が終了した後、上記ステップS2の入力データ読み込み処理に戻る。

【0022】ところで、このようなノイズシェイピング回路は、例えば予め定められているディジタルオーディオ信号フォーマットにおけるサンプルデータのビット数の制限の枠内で再生オーディオ信号の音質を改善するためのシステムに適用することができる。この音質改善技術には、例えばソニー株式会社のSBM（スーパー・ビ

ット・マッピング）と称される技術が挙げられる。このような音質改善システムにおいては、いわゆるCD（コンパクトディスク）やDAT（ディジタルオーディオテープレコーダ）のように予めサンプルデータのビット数が16ビットと規定されているフォーマットを変更することなく、例えば20ビットとか24ビット等で録音されたソースの音質に近い音質を実現している。

【0023】図4は、本発明に係るノイズシェイピング回路を適用可能な音質改善処理装置の一具体例を示している。この音質改善処理装置は、等ラウドネス曲線で表現されるように周波数によって聴覚の感度が変化するという人間の耳の性質（聴覚特性）を利用し、ノイズシェイピングを用いて例えば20ビットのオーディオデータから例えば16ビットのオーディオデータへの再量子化による量子化ノイズの分布を上記聴覚特性に従って変化させ、人間の聴覚の感度の高い周波数領域でのノイズを減少させ、リニアリティを延ばし、20ビットから16ビットに変換する際の音質の劣化を最小限にとどめるものである。

【0024】図4において、入力端子31には所定のインターフェイス規格（例えばAES/EBU規格等）に基づく例えば20ビットオーディオデータがフラグと共に供給され、これらのデータ及びフラグがディジタルオーディオインターフェイス入力部32に送られるようになっている。入力ディジタル信号は、ディジタルオーディオインターフェイス入力部32でデータとフラグとに分けられ、データは上記ノイズシェイピング回路構成を有するLch（左チャンネル）処理部33に転送される。このLch処理部33では、上記入力信号のLch（左チャンネル）のデータに対して上述したノイズシェイピング処理が施されることによって、20ビットから16ビットへの再量子化の際に量子化ノイズが上述した等ラウドネス曲線に近い周波数特性を持つように変形され、Rch（右チャンネル）のデータは20ビットのままで、次のRch（右チャンネル）処理部34へ転送される。Rch処理部34では、20ビットのRchデータに対して同様なノイズシェイピング処理が施される。

【0025】このようにして、Lch処理部33及びRch処理部34にてノイズシェイピング処理が施された16ビットのLch、Rchのデータは、ディジタルオーディオインターフェイス出力部35へ転送される。また、ディジタルオーディオインターフェイス入力部32からのフラグは、フラグ処理部36に送られてフォーマット変換に伴うフラグの変換処理が行われ、ディジタルオーディオインターフェイス出力部35に転送される。

【0026】ディジタルオーディオインターフェイス出力部35に転送されたデータ及びフラグは、所定のインターフェイス規格（例えばAES/EBU規格等）に従ったフォーマットのディジタル信号となって、出力端子37より取り出される。

【0027】モード切換スイッチ41は、上述したような音質改善処理を行うか、あるいは処理を行わずにスルーで出力するかを選択するスイッチであり、このモード切換スイッチ41からの切換情報信号は、Lch処理部33、Rch処理部34、及びフラグ処理部36に送られ、それぞれソフトウェアにより処理内容が切り換えられる。また、PLL部42では、入力あるいは抽出されて入力端子43に供給された同期クロック信号に同期して装置を動作させるクロックを発生し、各処理部に分配している。乱数発生器44は、内部のフィルタの計算に使用する乱数データをLch処理部33及びRch処理部34に送っている。

【0028】この図4に示すような音質改善処理装置のLch処理部33やRch処理部34に用いられるノイズシェイピング回路としては、上述した図1の構成に加えて、図5に示すような切換スイッチ18を設けることが好ましい。すなわち、この図5に示すノイズシェイピング回路において、入力端子11、加算器(減算器)12、再量子化器13、減算器15、ノイズフィルタ16及び直流検出器17は、上述した図1の各部構成と同じものであり、さらに図5の構成においては、切換スイッチ18を設けている。この切換スイッチ18は、入力端子11からの入力信号が被選択端子aに供給され、再量子化器13からの量子化出力信号が被選択端子bに供給されており、この切換スイッチ18からの出力信号が出力端子19より取り出されるようになっている。

【0029】切換スイッチ18は、上記図4のモード切換スイッチ41からの切換情報信号に応じて切換制御される。すなわち、上述したような音質改善処理を行うモードの場合には、切換スイッチ18は被選択端子b側に切換接続されて、再量子化器13からの16ビットに変換されたデータを出力端子19に送り、上記音質改善処理を行わずにスルーで出力するモードの場合には、切換スイッチ18は被選択端子a側に切換接続されて、入力端子11に供給された20ビットデータをそのまま出力端子19に送っている。

【0030】また、いわゆるDSP(デジタル信号プロセッサ)を用いて上記図4に示す音質改善処理装置をソフトウェア的に実現する場合には、上記Lch処理部33やRch処理部34等を上述した図3のフローチャートに示すような処理により実現すると共に、さらに、図3のステップS10の量子化誤差取り出し処理が終了した後に、上記スルー入力モードか否かの判別ステップを設け、NO(上記音質改善処理モード)の場合には、ノイズシェイピング処理された16ビットデータを取り出し、YES(スルー入力モード)の場合には、上記入力20ビットデータをそのまま取り出すようにし、次に、図3のステップS2の入力データ読み込み処理に進むようにすればよい。

【0031】次に、図6は、上記図5の直流検出器17

あるいは図3のステップS3の直流検出処理をソフトウェアで実現するための動作を示すフローチャートである。この直流検出処理は、図7に示すように、入力データD<sub>IN</sub>の20ビットと出力データD<sub>OUT</sub>の16ビットとの差分にあたる入力20ビットデータD<sub>IN</sub>の下位側4ビット(d0、d1、d2、d3)を監視し、ある一定サンプル数(少なくとも2サンプル以上)だけ同じデータが続いた場合に、直流値(0を含む)が入力されたと判断するものである。

【0032】図6において、最初のステップS11では、入力20データビットD<sub>IN</sub>の内の上記直流検出に用いる下位側4ビット部分(d0、d1、d2、d3)だけを取り出すために、上位側16ビットをマスクしている。マスクされて下位側4ビットのみとなったデータは、ステップS12でメモリに保存される。このメモリには前サンプルの下位側4ビットデータが格納されているのでこれを読み出し、ステップS13に示すように、現サンプルの下位側4ビットデータを前サンプルの下位側4ビットデータと比較して一致するか否かを判別する。

【0033】このステップS13でYES(一致した)と判別されたときには、ステップS14に進んで、データ一致カウンタをカウントアップした後、ステップS15に進んで、このデータ一致カウンタのカウント値がある一定の値に達したか否かを判別する。これは、上記入力データの下位側4ビットが、一定サンプル数分だけ連続して同じ(変化なし)となっているか否かを判別するものであり、これによって入力データが直流か否かを判別している。このステップS15にてYESと判別されたときには、次のステップS16に進んで直流検出フラグを立て、この直流検出ルーチンを終える(例えばこの直流検出処理ルーチンがサブルーチンの場合には、メインルーチンにリターンする)。ステップS15でNOと判別されたときには、ステップS16を飛ばしてこの直流検出処理ルーチンを終える。

【0034】上記ステップS13でNO(前サンプルの下位データと一致しない)と判別されたときには、ステップS17に進んで上記データ一致カウンタを0リセットした後、この直流検出処理ルーチンを終える。

【0035】次に、図8は、上記直流検出処理をハードウェアで実現する場合の具体的な構成例を示している。この図8において、入力端子51には上記入力データ20ビットの内の上記直流検出に用いる下位側4ビット部分(d0、d1、d2、d3)のデータ(下位データ)が入力されている。この下位データ入力、データレジスタ52により1サンプル遅延されてデータ比較器53の一方の入力端子Aに送られ、このデータ比較器53の他方の入力端子Bには入力端子51からの下位データがそのまま送られている。データ比較器53では、現サンプルの下位データと前サンプルの下位データとが比較さ

れ、これらが一致したときに一致出力がANDゲート63を介して同期カウンタ54のイネーブル端子に送られている。また、データ比較器53からの上記一致出力は、インバータ62を介して同期カウンタ54のリセット端子に送られている。

【0036】同期カウンタ54からのカウント出力は、データ比較器55の一方の入力端子Aに送られている。このデータ比較器55の他方の入力端子Bには入力端子64からの最大カウント値が入力されており、上記カウント出力値がこの最大カウント値に達したとき、一致出力をSR（セット・リセット）ラッチ56のセット入力端子に送る。このSRラッチ56からの出力が、直流検出出力として出力端子57より取り出されると共に、インバータ65を介してANDゲート63に戻されている。

【0037】ここで、データレジスタ52及び同期カウンタ54は、入力端子61からのワード同期信号をクロックとして動作している。従って、同期カウンタ54は、イネーブル端子への信号が“H”（ハイレベル、あるいは“1”）、すなわちカウントイネーブル状態となっている期間だけ、入力端子61からのワード同期クロックをカウントする。このカウントイネーブル状態となる条件は、データ比較器53からの下位データ一致出力が生じており、かつSRラッチ56からの直流検出信号が未だ出力されていない場合である。このカウントイネーブル状態の間にワード数（サンプル数）をカウントすることで、下位データが一致するサンプルの連続数を求めている。このカウント動作中で下位データが不一致となってデータ比較器53からの出力が“L”（ローレベル、あるいは“0”）となると、これの逆論理がインバータ62でとられて同期カウンタ54のリセット入力端子に送られるから、カウント値は0クリアされる。

【0038】下位データの一致するサンプルが連続して同期カウンタ54でのカウント動作が持続し、カウント値が上記最大カウント値に一致すると、データ比較器55からの一致出力によりSRラッチ56がセットされ、出力端子57より直流検出出力が取り出される。また、この直流検出出力はインバータ65で逆論理がとられてANDゲート63に送られるから、同期カウンタ54のカウントイネーブル状態が解除され、カウント動作が停止し、データ比較器55からは一致信号が出力され続けることになる。SRラッチ56のリセット信号としては、データ比較器55からの一致出力の逆論理が使用される。すなわち、下位データが一致しなくなってデータ比較器53からの出力が“L”となることでインバータ62を介して同期カウンタ54がリセットされ、カウント値が0クリアされ、データ比較器55からの出力が“L”となって、SRラッチ56がリセットされる。

【0039】上記端子64に送る最大カウント値を制御することによって上記直流検出の閾値（スレッシュホールド

値）を状況に応じて変化させることもできる。このための具体例としては、図8に示すように、上記最大カウント値を最大カウント値設定回路66により制御するように構成すればよい。

【0040】ところで、上述したような20ビットを16ビットに（一般にはnビットをmビットに）変換する再量子化器を用いたノイズシェイピング回路においては、入力データが出力データと同じビット数あるいはそれ以下のビット数しかない場合にも、上述したようなハンチング現象による発振データが入力データに付加されてしまう可能性がある。このため、ハンチング現象が発生する可能性のある入力データとして、直流値（0を含む）であるか否かと、16ビットデータか否かの双方を同時に検出することが必要とされる。

【0041】これは、上記図7のようにLSB（最下位ビット）側の4ビットを監視することで実現できる。まず、直流入力時の場合を考えてみると、データが17ビット以上であれば、監視している下位ビットは音楽信号であれば必ず変化するが、直流入力となればデータは一定値を保持しているから、下位ビットの変化はないので、上記下位側4ビットを検出することで、直流値入力かどうかを判別できる。次に、16ビット値の入力を考えると、この場合には、音楽信号が入ってきている場合にも17ビット目以降のデータは変化しないので、上記直流の場合と同様に下位ビットの監視により17ビット以上のデータ入力と区別できる。

【0042】以上により、20ビット入力で入力値が直流値の場合と16ビットの場合を同時に検出できる。上記実施例では、20ビット入力の場合を例に挙げて説明したが、例えばデジタルオーディオインターフェイスが24ビットデータまで対応できる場合には、入力24ビットのLSB（最下位ビット）側の8ビットを監視するようにすればよい。また一般に、入力nビットデータをmビットデータに変換して出力する場合には、入力データの最下位側（n-m）ビットを監視するようにすればよい。

【0043】なお、本発明は上記実施例のみに限定されるものではなく、例えば、上記ハンチング現象が発生する可能性があることを検出したときには、ノイズフィルタの係数を全て0とする以外に、ノイズフィルタと再量子化器入力側加算（減算）器との間にスイッチを挿入接続してこのスイッチをオフ（遮断）することで、帰還される値を0とするように構成してもよい。この他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0044】

【発明の効果】以上の説明からも明らかなように、本発明に係るノイズシェイピング回路によれば、入力信号が直流値（0を含む）となることを検出して、量子化器に帰還される値を0としているため、リミットサイクルによるいわゆるハンチング現象を防止することができる。

また、入力信号のビット数が量子化出力信号のビット数以下であることを検出して、量子化器に帰還される値を0とすることによって、ハンチング現象を防止することができる。

【0045】ここで、所定数の連続する入力サンプルの下位側ビットが同一であることを検出することにより、上記直流検出と入力ビット数が量子化出力ビット数以下か否かの検出との双方が同時に行え、構成を簡略化することができる。

【図面の簡単な説明】

【図1】本発明に係るノイズシェイピング回路の一実施例の概略構成を示すブロック回路図である。

【図2】該実施例に用いられるノイズフィルタの具体的な構成例を示すブロック回路図である。

【図3】該実施例の要部動作を説明するためのフローチャートである。

【図4】該実施例のノイズシェイピング回路が適用される音質改善処理装置の一例を示すブロック図である。

【図5】図4に示す音質改善処理装置に適用して好ましいノイズシェイピング回路の概略構成を示すブロック回

路図である。

【図6】本発明に係るノイズシェイピング回路の実施例の直流検出動作を説明するためのフローチャートである。

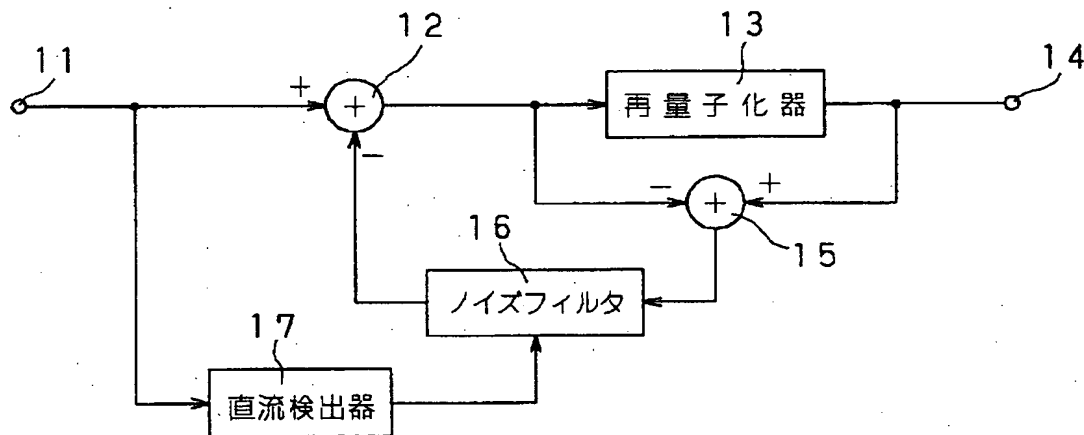
【図7】ノイズシェイピング回路の入力データと出力データとを示す図である。

【図8】本発明に係るノイズシェイピング回路の実施例の直流検出のためのハードウェア構成の一例を示すブロック回路図である。

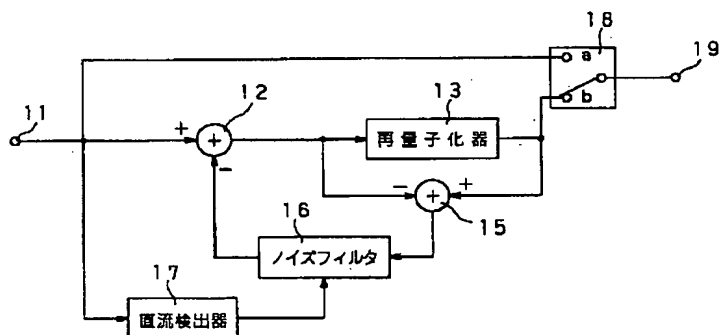
【符号の説明】

- 11・・・入力端子
- 12・・・加算器（減算器）
- 13・・・再量子化器
- 14・・・出力端子
- 15・・・減算器
- 16・・・ノイズフィルタ
- 17・・・直流検出器
- 18・・・切換スイッチ
- 19・・・出力端子

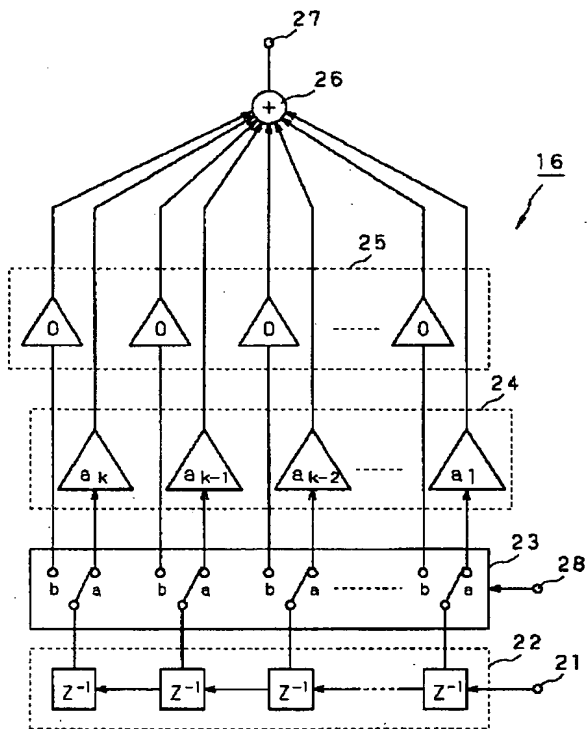
【図1】



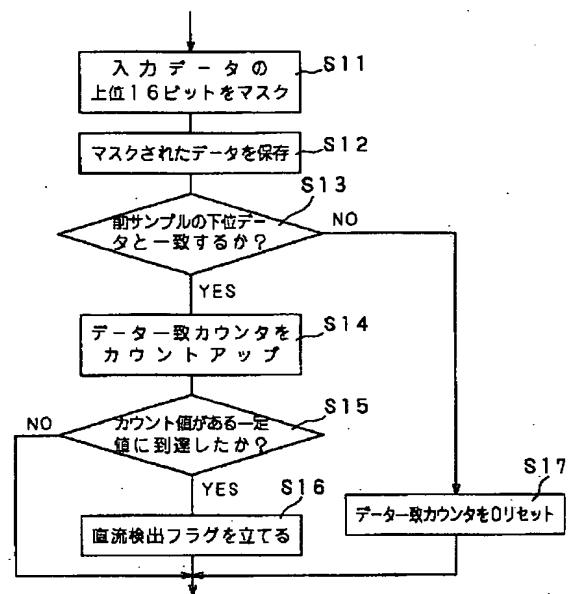
【図5】



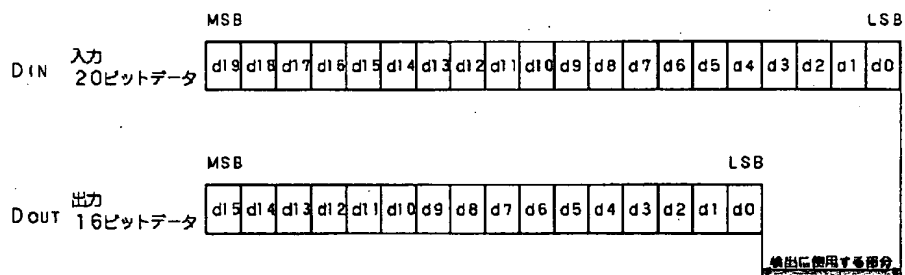
【図2】



【図6】

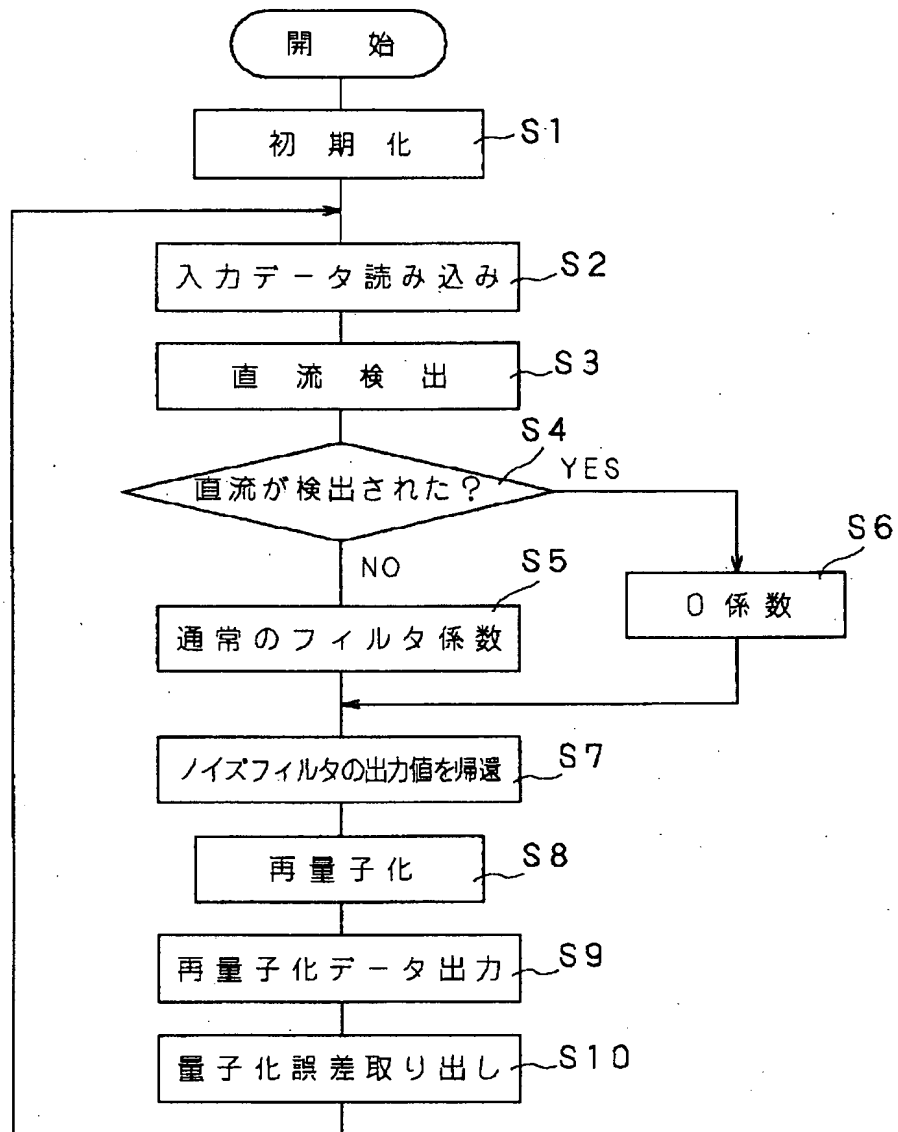


【図7】

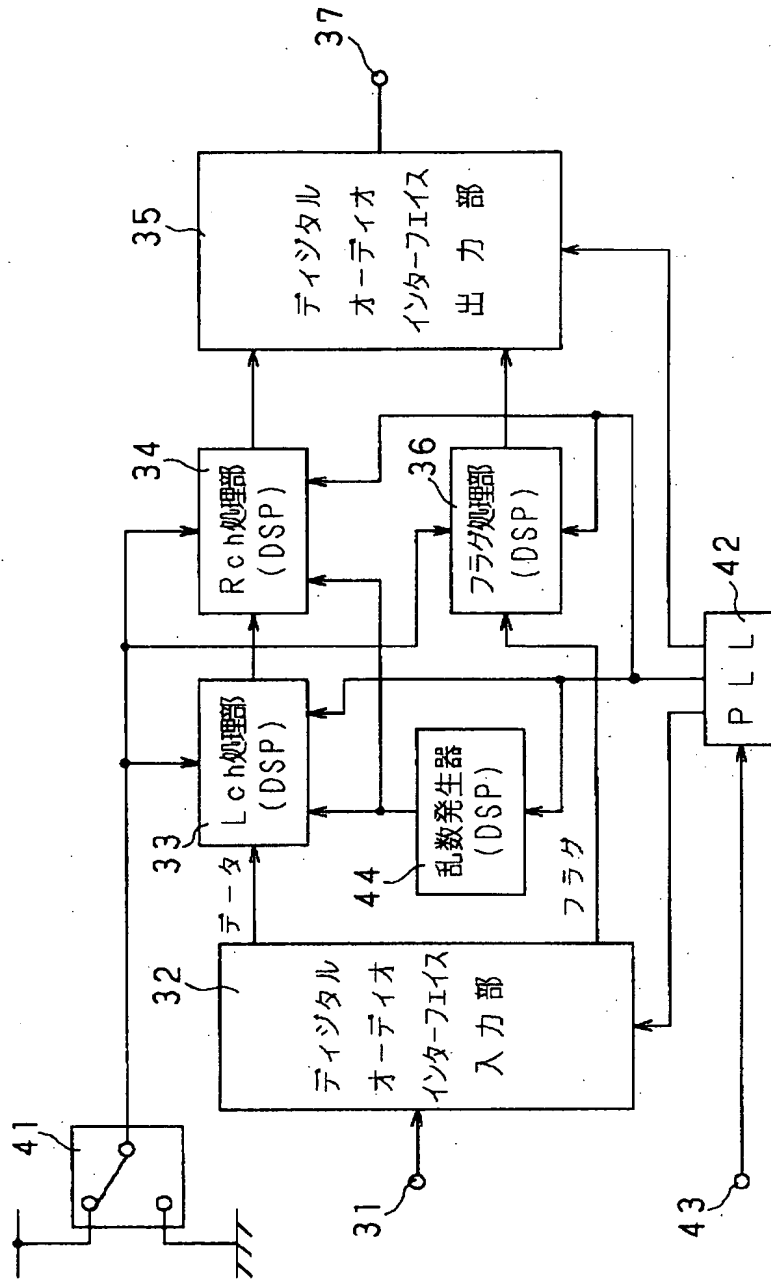




【図3】



【図4】



【図 8】

